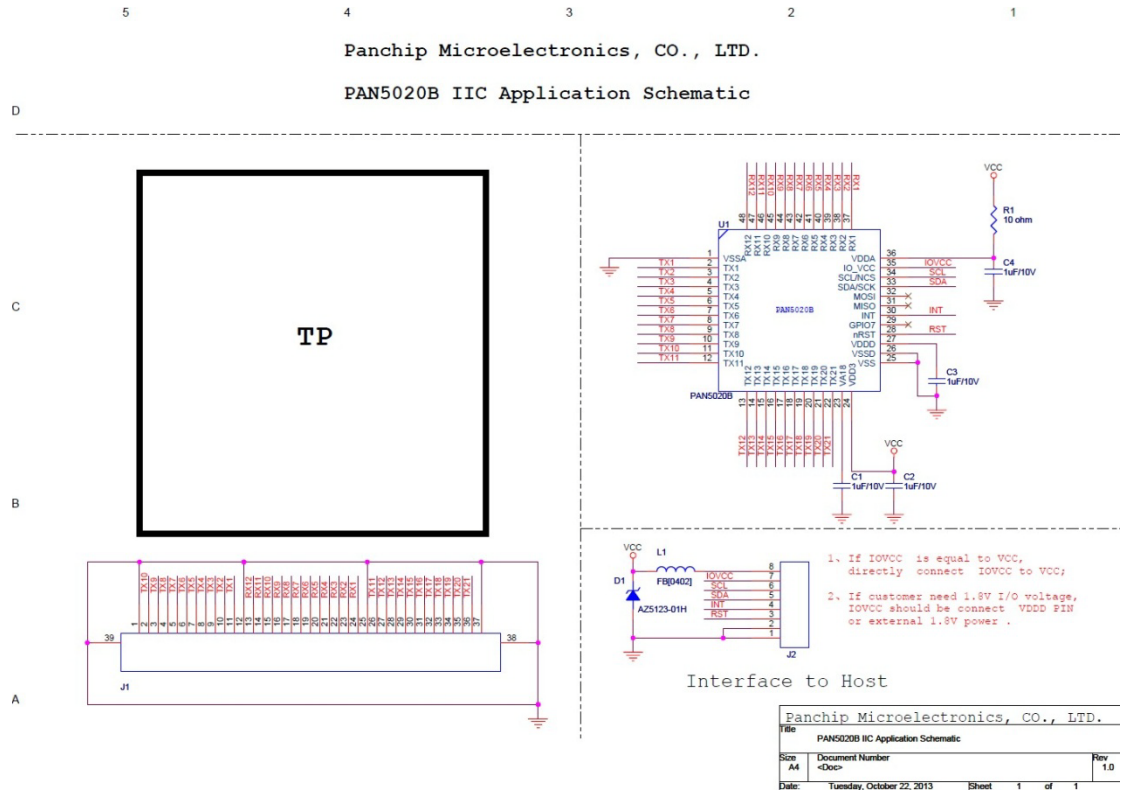


Pan5020B IIC 应用方案

一、典型 IIC 应用方案原理图



二、方案说明

- [1]双电源供电，片外只需要 4 颗电容，无须耐高压，只需要 1uF 电容即可。VCC 供电口建议增加磁珠 (>200ohm@100MHz) 做隔离。
- [2]Pan5020B 的通讯 I/O 电压，由 IO_VCC (pin35) 上电压决定。
- [3]Pan5020B 芯片与主芯片的接口，为通用 8-pin 接口，除了电源/地/I2C 外，还有 INT(中断) 和 nRST(复位) pin。
- [4] Pan5020B 芯片与主芯片的接口也可采用通用 6-pin 接口，在这种情况下 IO_VCC 可直接连接至 VCC 或 VDDDD(pin27)

三、布局走线建议

- [1]电容电阻尽量靠近芯片 PIN 脚(5MM 以内)并且尽快有大地孔下地，芯片的背面的地 paddle 要可靠接地(尽量多地孔，3x3 以上)，从而减小高频电流回流路径/面积，减小高频噪声辐射。
- [2]如果 I2C 总线上有上拉电阻，Pan5020B 端可不用额外增加上拉。
- [3]所有数据线走线宽度不要改变，一定要尽量短，以减少反射。数据走线(尤其 I2C)避开 T/R 信号走线，避开滤波电容，尽量铺地/包地隔离。

[4]每一条 T 或 R 线在芯片和 SENSOR 的距离要尽量短,尽量在 100MM 以内。通常采用 0.08mm 的线宽/线距走线, FPC 空间很紧张的话可采用 0.05mm。过孔采用 0.2mm/0.4mm。

[5]不要让 T 或 R 信号线, 被电源线在另一面横跨。在 T 或 R 线上不能串入器件, 旁侧防止摆放器件(如空间限制无法避开, 走地线或者铺地来隔离)。要注意产生的寄生电阻小于 100 欧姆。

[6]通常 R 用最短路径和间隙, 作为一组去走线。T 线和 R 线不要在不同层平行甚至覆盖走线。用两倍宽度的地分开 T 与 R 两组信号线, 有条件的话, 用作隔离的地线打孔到底立体隔离。

[7]T 线组和 R 线组走线层的背面, 尽量铺地(注意是: 网格状铺地)。这样既可以减少 T/R 线辐射高频噪声, 又可以尽量减少 X 和 Y 走线与地之间的寄生电容。

[8]最理想的是 T 与 R 线远离所有电路/元件区域, 而且尽可能远。尽量避开并远离其他信号走线。如果由于某些限制 X 与 Y 线必须在两侧相交, 则 90 度交叉。

[9]FPC 上, Pan5020B 和主控芯片之间部分, 尽量铺地(网格状), 减小 Pan5020B 和主控芯片接地之间的寄生电阻/电感。

[10]FPC 弯折区, 信号线走线宽度 $>0.15\text{mm}$, 信号线背面不铺铜(地), 并开窗(无绝缘层)。这样弯折区柔软度好, 同时 FPC 走线不易折断。

四, 工艺要求

[1]FPC 弯折区不能有过孔、焊盘。

[2]采用电镀金, 芯片背面建议补强。

[3]成本允许的情况下, FPC 镀黑色电磁膜(FPC 上需要对应留焊盘接地), 可以进一步加强隔离。

[4]注意 LAYOUT 时要满足 FPC 软板的最小工艺要求(线宽, 线距, 孔径)。

[5]布局时注意触摸屏生产压合可能的干涉的问题。